

Requested Patent: JP8274185A

Title: MANUFACTURE OF MOS TRANSISTOR ;

Abstracted Patent: JP8274185 ;

Publication Date: 1996-10-18 ;

Inventor(s): TSUKAMOTO MASANORI ;

Applicant(s): SONY CORP ;

Application Number: JP19950073694 19950330 ;

Priority Number(s): ;

IPC Classification:

H01L21/8238; H01L27/092; H01L21/20; H01L21/265; H01L29/78; H01L21/336 ;

Equivalents: ;

#### ABSTRACT:

**PURPOSE:** To prevent the diffusion of boron from the p-type gate electrode of a MOS transistor while using means of high reproducibility, by forming an amorphous silicon film on the gate insulation film of the MOS transistor to change it into a polysilicon film through annealing it under specific conditions, and thereafter, by forming the gate electrode of the MOS transistor through patterning the polysilicon film, etc.

**CONSTITUTION:** A MOS transistor with a gate electrode G1 at least one portion of which comprises a p-type semiconductor film is manufactured. In that case, an amorphous silicon film is formed on a gate insulation film 5, and the amorphous silicon film is annealed for an hour or more at 550-700 deg.C to change it into a polysilicon film 6p. Thereafter, patterning at least the polysilicon film 6p, the gate electrode G1 is formed, and using the gate electrode G1 as a mask, the injection of p-type impurity ions is performed. Thereby, concurrently with the formations of the source/drain regions of the MOS transistor, the conduction type of the gate electrode G1 is made to be p-type.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274185

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		21/20	
	21/20		21/265	P
	21/265			Q
	29/78			A

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-73694

(71) 出願人 000002185

(22) 出願日 平成7年(1995)3月30日

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

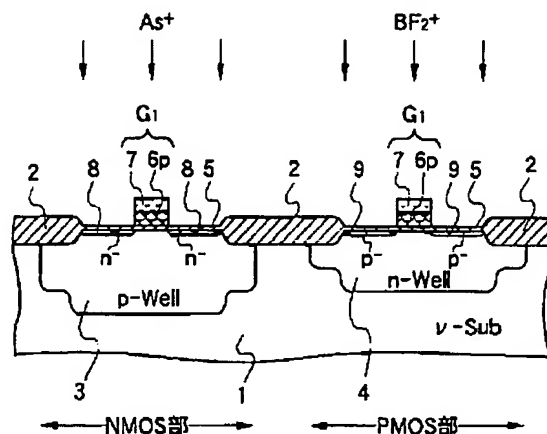
(54) 【発明の名称】 MOSトランジスタの製造方法

(57) 【要約】

【目的】 p型MOSトランジスタ (PMOS) のp型ゲート電極からのB (ホウ素) の拡散あるいはゲート絶縁膜突き抜けを防止する。

【構成】 ゲート酸化膜5上にアモルファス・シリコン膜6aを成膜した後、結晶核発生速度の遅い低温長時間アニールによりこれを十分に粒径の大きいポリシリコン膜6pに変化させる。つまり、この段階で後にゲート電極G<sub>1</sub>となるべき部分の大粒径化が終了しているため、この後にWSi<sub>2</sub>膜7を成膜するための減圧CVDやソース/ドレイン領域12活性化のためのラピッド・サーマル・アニール等の様々な熱処理を経ても大粒径状態が維持され、Bの粒界拡散を生じにくい膜となる。

【効果】 PMOSの閾値電圧V<sub>th</sub>の上昇やサブスレッショルド・スイングの増大が防止され、動作速度と信頼性が向上する。



## 【特許請求の範囲】

【請求項1】 少なくとも一部がp型半導体膜より構成されるゲート電極を有するMOSトランジスタの製造方法において、

ゲート絶縁膜上にアモルファス・シリコン膜を成膜する第1工程と、

前記アモルファス・シリコン膜を550～700℃で1時間以上アニールしてポリシリコン膜に変化させる第2工程と、

少なくとも前記ポリシリコン膜をパターニングしてゲート電極を形成する第3工程と、

前記ゲート電極をマスクとしてp型不純物のイオン注入を行うことによりソース／ドレイン領域を形成すると共に該ゲート電極の導電型をp型とする第4工程とを有するMOSトランジスタの製造方法。

【請求項2】 前記第1工程でアモルファス・シリコン膜を成膜した後、該アモルファス・シリコン膜のゲート電極形成部以外の領域にシリコンもしくはアルゴンの少なくとも一方をイオン注入する請求項1記載のMOSトランジスタの製造方法。

【請求項3】 前記第2工程でポリシリコン膜を形成した後、この上に高融点金属シリサイド膜もしくは高融点金属膜を積層して複合膜を構成し、前記第3工程ではこの複合膜をパターニングしてゲート電極を形成する請求項1記載のMOSトランジスタの製造方法。

【請求項4】 前記ゲート電極がp型不純物としてホウ素を含むと共に、フッ素を取り込んでなる請求項1ないし請求項3のいずれか1項に記載のMOSトランジスタの製造方法。

【請求項5】 前記フッ素は、前記第1の工程における前記アモルファス・シリコン膜への $\text{BF}_2^+$ のイオン注入、もしくは $\text{B}^+$ と $\text{F}^+$ の共イオン注入に伴って前記ゲート電極へ取り込まれる請求項4記載のMOSトランジスタの製造方法。

【請求項6】 前記フッ素は、前記ポリシリコン膜の上に積層される前記高融点金属シリサイド膜もしくは前記高融点金属膜から前記ゲート電極へ取り込まれる請求項4記載のMOSトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はMOSトランジスタの製造方法に関し、特にCMOS（相補型MOSトランジスタ）回路中のp型MOSトランジスタ（PMOS）のp型ゲート電極からのホウ素（B）拡散、あるいはBのゲート酸化膜突き抜けを抑制する方法に関する。

## 【0002】

【従来の技術】 同一基板上にn型MOSトランジスタ（NMOS）とp型MOSトランジスタ（PMOS）とを共存させた相補型MOSトランジスタ（CMOS）回路は、両トランジスタのオン時のみ電流が流れるため消

費電力が低く、また微細化や高集積化が容易であるため高速動作が可能であるといった利点を有し、メモリ素子や論理素子をはじめ多くのLSI構成デバイスとして広く用いられている。近年ではゲート長0.1 $\mu\text{m}$ 以下のMOSトランジスタの室温動作も確認されていることから、CMOS回路の高集積化と微細化が今後も進展し続けることは確実である。

【0003】ところで、従来からPMOSのゲート電極の構成材料としては、NMOSのゲート電極と同様、 $\text{n}^+$ 型ポリシリコン膜、あるいはこの上に高融点金属シリサイド膜や高融点金属膜を積層したポリサイド膜、ポリメタル膜といった材料が用いられてきた。これは、 $\text{n}^+$ 型ポリシリコン膜が高温プロセスに良く耐え、またチャネル・プロファイルが埋込み型となるために高いバルク移動度を利用して動作を高速化することができたからである。しかし、埋込みチャネル型のMOSトランジスタでは、ソース／ドレイン領域から迫り出している空乏層の先端がゲート電界の影響により基板の深い部分で互いに接近するため、パンチスルーが生じ易い問題がある。したがって、デザイン・ルールがディープ・サブミクロン以下に縮小される世代においては、埋込みチャネル型では短チャネル効果の抑制が困難となり、ゆえに表面チャネル型の採用が望まれている。PMOSのゲート電極を $\text{p}^+$ 型ポリシリコン膜を用いて構成すれば、表面チャネル型のプロファイルを実現することができる。

【0004】PMOSのゲート電極材料に $\text{p}^+$ 型ポリシリコン膜が望まれる理由は、他にもある。NMOS、PMOSのいずれのゲート電極にも $\text{n}^+$ 型ポリシリコン膜を用いる従来のCMOS回路では、NMOSとPMOSとの間に仕事関数差が存在し、この差に起因して閾値電圧 $V_{th}$ が非対称となっている。このため、PMOSのチャネル領域に浅くホウ素をイオン注入して両トランジスタの閾値電圧 $V_{th}$ をほぼ等しく（通常は1V以下）設定していた。しかし、閾値調整用のイオン注入により基板表面の不純物濃度を上昇させると、基板表面付近のキャリア移動度が低下して動作高速化に不利となるため、将来的にはチャネル不純物濃度を低下させることが必須である。そこで、仕事関数の大きい $\text{p}^+$ 型ポリシリコン膜をPMOSのゲート電極として用いれば、チャネル不純物濃度を上げずにNMOSとPMOSとの間で閾値電圧 $V_{th}$ を対称化することができる。このことは、CMOSインバータとして基本ゲートを構成した場合のトランジスタの入出力特性を対称化し、信号伝達特性の対称性を改善することにつながる。

## 【0005】

【発明が解決しようとする課題】ところで、CMOS回路の製造工程では一般に、NMOSのゲート電極もPMOSのゲート電極も共通のポリシリコン膜のパターニングにより形成されるので、両者に互いに異なる導電型を付与するためには、それぞれのゲート電極となるべき領

域にマスクを介してイオンを打ち分けることが多い。すなわち、 $n^+$  型ゲート電極となる領域には  $As^+$  や  $P^+$  をイオン注入し、一方、 $p^+$  型ゲート電極となる領域には  $B^+$  や  $BF_2^+$  をイオン注入するか、もしくは  $B^+$  と  $F^+$  の共イオン注入を行う。

【0006】ここで、 $BF_2^+$  はその解離特性や比較的大きな質量ゆえに、 $B^+$  に比べて飛程を小さく制御したりチャネリングを防止する上で有利である。また、 $B^+$  と  $F^+$  の共イオン注入にも同様の効果がある。さらに、Fにはゲート酸化膜 ( $SiO_2$ ) の界面トラップ密度を低下させるという優れた効果がある。しかしその反面、FにはBの拡散を促進し、場合によってはBをゲート酸化膜を突き抜けて基板 (Si) まで到達させてしまうという問題がある。この拡散は、後工程におけるソース/ドレインの活性化アニール、SALICIDE (自己整合的シリサイド化) プロセス、層間絶縁膜のリフロー等、様々な熱処理の時点で生じ得る。

【0007】 $B^+$  のイオン注入では、ポリシリコン膜中にFが取り込まれることはないため、このポリシリコン膜を単独でゲート電極材料とする限りはBの拡散は促進されない。仮に若干の拡散が生じたとしても、Bがゲート酸化膜を突き抜けるには至らず、ゲート酸化膜中で安定化される。しかし、このポリシリコン膜上にゲート抵抗の低減を目的として高融点金属シリサイド膜や高融点金属膜が積層されていると、これらの膜中に残留しているFがポリシリコン膜中へ取り込まれる。このような場合には、たとえイオン注入が  $B^+$  を用いて行われていてもやはりFによりBの拡散や突き抜けが促進されてしまう。たとえば、 $WF_6$  を  $SiH_4$  で還元する減圧CVD法で成膜された  $WSi_x$  膜は、残留Fを比較的多く含み、上述のような問題を起こす虞れが大きい。このようなBの拡散や突き抜けは、PMOSの閾値電圧  $V_{th}$  の上昇、サブスレッショルド・スウィングの増大、あるいはゲート絶縁膜の信頼性低下の原因となるので、できる限り防止しなければならない。

【0008】Bの拡散を抑制する上で有効と考えられる方法は、熱処理温度の低下あるいは熱処理時間の短縮である。しかし、前者ではイオン注入やドライエッチングで生じた結晶欠陥の回復が不十分となるためリーク電流の増大を招く虞れがあり、後者では不純物の活性化が不十分となるため拡散層や配線層の抵抗の上昇を招く虞れがある。

【0009】また、Bの突き抜けを抑制するためには、 $NH_3$  や  $N_2O$  等の窒化雰囲気中でゲート酸化膜の急速熱窒化 (RTN) を行う方法が提案されている。しかしこれらの方法は、ゲート絶縁膜の膜厚増大やキャリア移動度の低下によるトランジスタ特性の低下、あるいは固定電荷や界面準位の増加によるゲート絶縁膜の信頼性低下といった問題を招き、必ずしも得策ではない。

【0010】そこで、これらに代わる手法として、ポリ

シリコン膜の結晶粒径を増大させることで拡散経路たる粒界を減少させ、これによりBの拡散を抑制しようとする方法が1990年IEEEシンポジウム・オンVLSIテクノロジー (1990 Symposium on VLSI Technology, IEEE)抄録集 p.111-112に発表されている。この方法によると、まずゲート酸化膜上にアモルファス・シリコン膜を堆積させ、NMOSの  $n^+$  型ゲート電極とソース/ドレイン領域、およびPMOSの  $p^+$  型ゲート電極とソース/ドレイン領域とをそれぞれ同時に形成している。この後、ソース/ドレイン領域やゲート電極中の不純物の活性化アニールと、層間絶縁膜 (プラズマCVDによる  $SiO_2$  膜+BPSG) のリフローをいずれも900℃、15分間の条件で行っており、これらの熱処理時にアモルファス・シリコン膜の結晶粒径を初めから多結晶膜として成膜されたポリシリコン膜に比べて2倍以上に増大させている。これにより、ゲート酸化膜中へのBやFの拡散が減少し、Si基板へのBの突き抜けを抑制し、ゲート酸化膜中の電子トラップ密度を低減させることに成功している。なお、上記方法ではアニール温度は明示されていないものの、ゲート電極のパターニング後にSALICIDE法により  $TiSi_x$  膜を形成している旨の記載があり、この段階でも結晶粒の成長が起こっている。

【0011】しかしながら、アモルファス・シリコンからポリシリコンへの結晶化の進み具合は、アモルファス・シリコン膜が成膜後に経る熱処理条件により大きく変化するため、上述の方法によっても必ずしも十分な大粒径化が起こっているとは言えず、また粒径に再現性があるとも言えない。

【0012】このように、 $p$ 型ゲート電極からのBの拡散を防止するための従来の対策は、いずれも決め手を欠いているのが実情である。そこで本発明は、ゲート絶縁膜の信頼性を損なうことなく、再現性の高い手法によりBの拡散を防止することが可能なMOSトランジスタの製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明のMOSトランジスタの製造方法は、上述の目的を達するために提案されるものであり、少なくとも一部が  $p$  型半導体膜より構成されるゲート電極を有するMOSトランジスタを製造する際に、ゲート絶縁膜上にアモルファス・シリコン膜を成膜する第1工程と、前記アモルファス・シリコン膜を550～700℃で1時間以上アニールしてポリシリコン膜に変化させる第2工程と、少なくとも前記ポリシリコン膜をパターニングしてゲート電極を形成する第3工程と、前記ゲート電極をマスクとして  $p$  型不純物のイオン注入を行うことによりソース/ドレイン領域を形成すると共に該ゲート電極の導電型を  $p$  型とする第4工程とを経るものである。

【0014】上記ゲート絶縁膜の典型例はシリコン化合

物膜である。MOSトランジスタのゲート絶縁膜として用いられるシリコン化合物膜には、窒化シリコン膜、酸化シリコン膜、あるいは酸化シリコン膜で窒化シリコン膜を挟んだONO膜などが知られているが、本発明では特に酸化シリコン膜( $\text{SiO}_2$ )を用いることが有効である。

【0015】上記のアニール条件は、通常の不純物活性化アニールに比べるとかなり低温で、かつ長時間の条件である。すなわち本発明は、従来のようにアモルファス・シリコン膜の大粒径化をその後の熱処理時に同時に進行10うのではなく、成膜直後に緩やかに行うことにより、十分な大粒径化を高い制御性と再現性をもって実現するものである。アニール温度が550℃未満の温度域では結晶核をなかなか発生させることができず、また700℃より高い温度域では核発生速度が速すぎて十分な大粒径化を起こすことができない。より好ましい温度範囲は600～650℃である。また、アニール時間が1時間未満であっても、十分な大粒径化を起こすことができない。より好ましいアニール時間は5～10時間である。

【0016】ここで、前記第1工程でアモルファス・シリコン膜を成膜した後は、該アモルファス・シリコン膜のゲート形成部以外の領域にシリコンもしくはアルゴン20の少なくとも一方をイオン注入し、アモルファス化を一層徹底させても良い。

【0017】前記ゲート電極は、ポリシリコン膜単独により構成されても良いが、第2工程でポリシリコン膜を形成した後、この上に高融点金属シリサイド膜もしくは高融点金属膜を積層して複合膜を構成し、前記第3工程ではこの複合膜をパターニングしてゲート電極を形成することで、低抵抗化を図っても良い。ポリシリコン膜と30高融点金属シリサイド膜との複合膜はポリサイド膜、高融点金属膜との複合膜はポリメタル膜として知られるものである。

【0018】上記高融点金属シリサイド膜としては、 $\text{WSi}_x$ 膜、 $\text{TiSi}_x$ 膜、 $\text{MoSi}_x$ 膜、 $\text{TaSi}_x$ 膜、 $\text{PtSi}_x$ 膜、 $\text{NiSi}_x$ 膜など従来公知の膜を用いることができるが、中でも代表的な膜は $\text{WSi}_x$ 膜である。 $\text{WSi}_x$ 膜は、一般に $\text{WF}_6$ を $\text{SiH}_4$ または $\text{SiCl}_4$ 、 $\text{H}_2$ （ジクロロシラン）で還元する減圧CVDにより成膜され、 $\text{SiCl}_4$ 、 $\text{H}_2$ 還元法の方が膜中の40残留Fを低減できることが知られている。なお、高融点金属シリサイド膜はSALICIDE法により形成することもできる。この場合は、ポリシリコン膜をパターニングした後に基体の全面を高融点金属膜で被覆し、アニールを行うことによりゲート電極の上面や基板の活性領域（ソース/ドレイン領域など）の表面を自己整合的にシリサイド化させ、しかる後に未反応の高融点金属膜を除去する。一方、上記高融点金属膜としては、 $\text{W}$ 膜、 $\text{Ti}$ 膜、 $\text{Mo}$ 膜、 $\text{Ta}$ 膜、 $\text{Pt}$ 膜、 $\text{Ni}$ 膜等の従来公知の膜を用いることができる。これらの膜は、減圧CVD

法、プラズマCVD法、あるいはスパッタリング法により成膜する。

【0019】本発明ではポリシリコン膜の大粒径化によりp型不純物の拡散を抑制するので、このp型不純物としてBを含むと共に、製造工程において必然的にフッ素を含有してしまうようなゲート電極を用いても、信頼性の高いMOSトランジスタを製造することができる。このフッ素は、アモルファス・シリコン膜をp型化するために $\text{BF}_3^+$ のイオン注入もしくは $\text{B}^+$ と $\text{F}^+$ の共イオン注入を行う際に取り込まれたり、あるいはポリシリコン膜の上に積層される前記高融点金属シリサイド膜や高融点金属膜からの残留Fの拡散により取り込まれる。

【0020】

【作用】アモルファス・シリコンをポリシリコンに変化させる場合、結晶核の発生を遅らせると結晶粒を大粒径化することができる。本発明では、この核発生の遅延を低温・長時間アニールにより達成する。しかも、本発明ではこのアニールをアモルファス・シリコン膜の成膜に引き続いて行うため、後工程の熱処理条件に影響されることなく、十分かつ再現性の高い大粒径化を行うことができる。

【0021】核発生の遅延は、イオン注入による徹底アモルファス化を併用することで、より顕著となる。すなわち、本発明ではアモルファス・シリコン膜中、ゲート電極形成部以外の領域における核発生速度を極端に低下させるため、ゲート電極形成部では相対的に核発生速度が速くなり、結晶粒の成長はこの領域から外側へ向かって進行する。この結果、ゲート電極内の粒界、すなわち拡散経路が減少し、たとえポリシリコン膜に不純物Bと共にFが含有されていても、Bの拡散や突き抜けが効果的に抑制される。したがって、p型不純物の導入に $\text{BF}_3^+$ のイオン注入、あるいは $\text{B}^+$ と $\text{F}^+$ の共イオン注入を採用したり、ポリシリコン膜の上に残留Fを含む高融点金属シリサイド膜や高融点金属膜を積層することも、何ら支障がなくなる。

【0022】

【実施例】以下、本発明の具体的な実施例について説明する。

【0023】実施例1

本実施例は、本発明をポリサイド・ゲート電極を持つCMOSの製造に適用した例である。本実施例のプロセスを、図1ないし図5を参照しながら説明する。

【0024】まず、 $\nu$ 型（低濃度n型）Si基板（ $\nu$ -Sub）1上に公知のLOCOS法によりフィールド酸化膜2を形成して素子分離を行い、次にNMOS部には $\text{B}^+$ 、PMOS部には $\text{P}^+$ をそれぞれ図示されないレジスト・マスクを介してイオン注入し、p型ウェル（ $p$ -Well）3とn型ウェル（ $n$ -Well）4を形成した。ここで、上記 $\text{B}^+$ のイオン注入条件は、たとえばイオン加速エネルギー280keV、ドーズ量 $1.6 \times 1$

$0.1^3/\text{cm}^2$  とした。また、上記  $\text{P}^+$  のイオン注入条件は、たとえばイオン加速エネルギー  $330\text{keV}$ 、ドーズ量  $8 \times 10^{12}/\text{cm}^2$  とした。さらに、活性領域の表層部に閾値電圧  $V_{th}$  調整のためのイオン注入を行った後、パイロジェニック酸化により活性領域の表面に厚さ約  $8\text{nm}$  のゲート酸化膜 5 を形成した。図 1 には、ここまでの工程を終了した状態が示されている。

【0025】次に、図 2 に示されるように、基体の全面に減圧 CVD によりアモルファス・シリコン膜 6a (添字 a はアモルファス状態であることを表す。) を堆積させた。この減圧 CVD は、一例として  $\text{SiH}_4$  を原料ガスとし、堆積温度  $550^\circ\text{C}$  にて行った。

【0026】続いて、本発明の最大の特徴であるアモルファス・シリコン膜の低温・長時間アニールを行った。このアニールは、たとえば  $\text{N}_2$  雰囲気中、 $600^\circ\text{C}$ 、 $5 \sim 10$  時間の条件で行った。このときの固相成長により、アモルファス・シリコン膜 6a は図 3 に示されるように、最大粒径  $1\mu\text{m}$  程度のポリシリコン膜 6p (添字 p は多結晶状態であることを表す。) に変化した。

【0027】次に、基体の全面に減圧 CVD により  $\text{WSi}_3$  膜 7 を堆積させた。この減圧 CVD は、一例として  $\text{WF}_6/\text{SiCl}_4/\text{H}_2$  混合ガスを用い、堆積温度  $680^\circ\text{C}$  にて行った。これにより、ゲート電極は  $\text{W}$ -ポリサイド膜により構成されることになる。この  $\text{WSi}_3$  膜の成膜過程では上述のように  $700^\circ\text{C}$  近い加熱が行われるため、従来の方法ではこの間にもアモルファス・シリコン膜の結晶成長が若干進行し、結晶粒が小粒径化する一因となっていた。しかし、本発明ではアモルファス・シリコン膜 6a は既にポリシリコン膜 6p に変化しているため、このような懸念はない。

【0028】次に、図示されないレジスト・マスクを介して上記  $\text{W}$ -ポリサイド膜をドライエッチングにより異方性加工し、ゲート電極  $G_1$  を形成した。このドライエッチングは、たとえば  $\text{Cl}_2/\text{O}_2$  混合ガスと有磁場マイクロ波プラズマ・エッチング装置を用い、ゲート酸化膜 5 に対する選択比を十分に大きく確保しながら行った。さらに、PMOS 部を図示されないレジスト・パターンで被覆し、上記ゲート電極  $G_1$  をマスクとして NMOS 部に  $\text{As}^+$  の低濃度イオン注入を行うことにより、 $\text{n}^-$  型 LDD 領域 8 を形成した。続いて、今度は NMO

S 部を図示されないレジスト・パターンで被覆し、上記ゲート電極  $G_1$  をマスクとして PMOS 部に  $\text{BF}_2^+$  の低濃度イオン注入を行うことにより、 $\text{p}^-$  型 LDD 領域 9 を形成した。図 4 には、ここまでの工程が終了した状態が示されている。

【0029】次に、基体の全面に減圧 CVD により厚さ約  $150\text{nm}$  の  $\text{SiO}_2$  膜を堆積させ、これを異方的にエッチバックしてゲート電極  $G_1$  の側壁面上にサイドウォール 10 を形成した。続いて、上記ゲート電極  $G_1$ 、サイドウォール 10 および図示されないレジスト・パ

ターンをマスクとして用い、NMOS 部には  $\text{As}^+$ 、PMOS 部には  $\text{BF}_2^+$  をそれぞれ高濃度イオン注入にて導入し、 $\text{n}^+$  型ソース/ドレイン領域 11 および  $\text{p}^+$  型ソース/ドレイン領域 12 をそれぞれ形成した。ここで、 $\text{As}^+$  および  $\text{BF}_2^+$  のイオン注入条件はいずれも、たとえばイオン加速エネルギー  $20\text{keV}$ 、ドーズ量  $3 \times 10^{15}/\text{cm}^2$  とした。なお、このイオン注入の際には、ゲート電極  $G_1$  にも同時にイオンが注入されるため、NMOS 部のゲート電極  $G_1$  の導電型は  $\text{n}^+$  型、PMOS 部のゲート電極  $G_1$  の導電型は  $\text{p}^+$  型となる。

【0030】この後、たとえば  $1050^\circ\text{C}$ 、10 秒間の条件でラピッド・サーマル・アニール (RTA) を行うことにより、 $\text{n}^+$  型ソース/ドレイン領域 11 および  $\text{p}^+$  型ソース/ドレイン領域 12 の不純物を活性化させた。本発明では上述のようにアモルファス・シリコン膜 6a が既にポリシリコン膜 6p に変化し、B の拡散経路となり得る粒界が減少している。このため、PMOS 部のゲート電極  $G_1$  にはイオン注入や  $\text{WSi}_3$  膜 7 との積層に起因して F が混入しているにもかかわらず、RTA のような急速高温熱処理を経ても B がゲート酸化膜 5 中へ拡散したり、あるいはこれを突き抜けて活性領域へ拡散することはなかった。

【0031】この後、常法にしたがって層間絶縁膜の堆積、接続孔の開口、上層配線の形成を行い、CMOS を完成させた。本実施例で作成された CMOS は、抵抗の上昇、閾値電圧  $V_{th}$  の変動、界面準位の増加を招くことなく、安定した高速動作を示した。

#### 【0032】実施例 2

本実施例では、低温・長時間アニールを行う前に、アモルファス・シリコン膜のゲート電極形成部以外の領域をイオン注入により徹底アモルファス化することにより、ゲート電極を構成するポリシリコン膜の層の大粒径化を図った。本実施例のプロセスを、図 6 ないし図 11 を参照しながら説明する。

【0033】まず、アモルファス・シリコン膜 6a の形成 (図 2 参照。) までを実施例 1 と同様に行った後、図 6 に示されるようにゲート電極形成部をレジスト・パターン 13 で被覆し、 $\text{Si}^+$  のイオン注入を行った。このときのイオン注入条件は、たとえばイオン加速エネルギー  $10 \sim 30\text{keV}$ 、ドーズ量  $1 \times 10^{16}/\text{cm}^2$  とした。これにより、ゲート電極形成部以外の領域は徹底アモルファス化シリコン膜 6aa に変化した。

【0034】上記レジスト・パターン 13 を  $\text{O}_2$  プラズマ・アッシングにより除去した後、実施例 1 と同じ条件で低温・長時間アニールを行った。このアニールにより、図 7 に示されるように、上記アモルファス・シリコン膜 6a は、レジスト・パターン 13 で被覆されていたゲート電極形成領域において巨大粒径ポリシリコン膜 6p1 (添字 1 は相対的に大粒径であることを表す。)、それ以外の領域において小粒径ポリシリコン膜 6ps

(添字 s は相対的に小粒径であることを表す。)にそれぞれ変化した。ただし、上記小粒径ポリシリコン膜 6 p s は、巨大粒径と比較する都合で便宜的に小粒径と称するものの、実施例 1 で述べたポリシリコン膜 6 p と同様に大きな粒径を有するものである。

【0035】かかる部分的な粒径の差は、次のような機構により発生すると考えられる。図 9 ないし図 11 は、PMOS 部の部分拡大断面図である。まず、図 9 においてゲート電極形成部をレジスト・パターン 13 で被覆されたアモルファス・シリコン膜 6 a に  $Si^+$  をイオン注入すると、ゲート電極形成部以外の領域が徹底アモルファス化シリコン膜 6 a a に変化し、核形成速度が著しく低下する。レジスト・パターン 13 を除去した後低温・長時間アニールを行うと、図 10 に示されるように、核 14 はまずゲート形成領域に発生し、これを起点として結晶粒成長が開始される。この結果、図 11 に示されるように、ゲート形成領域の結晶粒の粒径はそれ以外の領域におけるよりも大きくなり、巨大粒径ポリシリコン膜 6 p 1 が形成される。

【0036】この後、図 8 に示されるように、W-ポリサイド膜の形成、そのパターニングによるゲート電極  $G_2$  の形成、LDD 領域の形成、サイドウォール 10 の形成、ソース/ドレイン領域 12 の形成と巨大粒径ポリシリコン膜 6 p 1 への不純物導入、不純物活性化アニールを実施例 1 と同様に行った。さらに、層間絶縁膜の堆積、接続孔の開口、上層配線の形成を経て CMOS を完成させた。本実施例の CMOS においては、PMOS の動作特性が実施例 1 に比べて一層改善されていた。

【0037】以上、本発明を 2 例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば上記実施例では、アモルファス・シリコン膜 6 a への p 型不純物の導入を  $BF_2^+$  のイオン注入により行ったが、これは  $B^+$  と  $F^+$  の共イオン注入、あるいはもとより F 混入の虞れの無い  $B^+$  のイオン注入に替えても良い。また、上記実施例ではゲート電極の上層側を構成する膜を減圧 CVD により堆積された  $WSi_x$  膜としたが、この  $WSi_x$  膜は  $SALICIDE$  により形成されてもよい。さらにあるいは、ゲート電極の上層側を高融点金属膜としてもよい。また、上記実施例 2 において、徹底アモルファス化を図るために注入されるイオンは  $Si^+$  に替えて  $Ar^+$  としても良い。

【0038】その他、CMOS 回路の構成、各膜の膜厚、堆積方法および条件、アニール条件、イオン注入条件の細部については、適宜変更が可能である。

【0039】

【発明の効果】以上の説明からも明かなように、本発明を適用すれば PMOS の p 型ポリシリコン・ゲート電極中に B と共に F が含まれていても、B の拡散を効果的に抑制することができるため、F による界面トラップ密度の低減効果はそのままに、閾値電圧  $V_{th}$  の上昇やサブ

スレッショルド・スウィングの増大を防止することができる。このことにより、動作速度と信頼性に優れた微細な PMOS を構成することができ、さらにはこれを用いて信号伝達特性の改善された CMOS を構成することが可能となる。

【図面の簡単な説明】

【図 1】本発明を CMOS の製造に適用したプロセス例において、 $Si$  基板上で素子分離、ウェル形成、ゲート酸化を行った状態を示す模式的断面図である。

【図 2】図 1 の基体の全面にアモルファス・シリコン膜を堆積させた状態を示す模式的断面図である。

【図 3】低温・長時間アニールを行い、図 2 のアモルファス・シリコン膜をポリシリコン膜に変化させた状態を示す模式的断面図である。

【図 4】図 3 のポリシリコン膜上に  $WSi_x$  膜を堆積させて W-ポリサイド膜を構成し、これをパターニングしてゲート電極を形成し、低濃度イオン注入により LDD 領域を形成した状態を示す模式的断面図である。

【図 5】図 4 のゲート電極の側壁面上にサイドウォールを形成し、高濃度イオン注入によりソース/ドレイン領域を形成すると共に、ポリシリコン膜にも不純物を導入している状態を示す模式的断面図である。

【図 6】本発明の CMOS の製造に適用した他のプロセス例において、アモルファス・シリコン膜にイオン注入を施すことにより、ゲート電極形成部以外の領域を徹底アモルファス化させた状態を示す模式的断面図である。

【図 7】低温・長時間アニールを行い、図 6 のアモルファス・シリコン膜をゲート電極形成部において特に粒径の大きいポリシリコン膜に変化させた状態を示す模式的断面図である。

【図 8】W-ポリサイド膜の形成、そのパターニングによるゲート電極の形成、LDD 領域の形成、サイドウォールの形成、ソース/ドレイン領域の形成とポリシリコン膜への不純物導入を行った状態を示す模式的断面図である。

【図 9】図 6 の PMOS 部の部分拡大断面図であり、アモルファス・シリコン膜のゲート電極形成部以外の領域にイオン注入を施して徹底アモルファス化させた状態を示す。

【図 10】低温・長時間アニールにより、図 9 のアモルファス・シリコン膜のゲート電極形成部に優先的に核を発生させた状態を示す模式的断面図である。

【図 11】ゲート電極形成部の粒径がそれ以外の領域に比べて大きいポリシリコン膜が形成された状態を示す模式的断面図である。

【符号の説明】

3 p 型ウェル

4 n 型ウェル

5 ゲート酸化膜

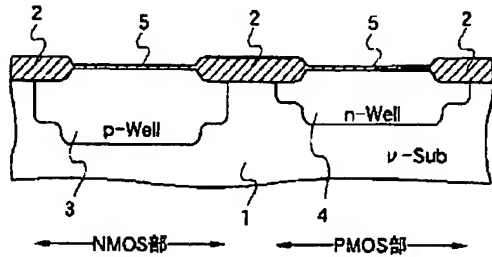
6 a アモルファス・シリコン膜



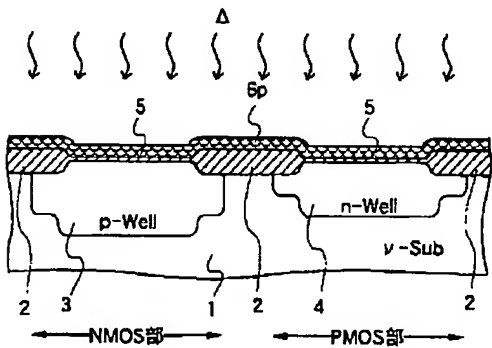
11

6 p ポリシリコン膜  
 6 pl 巨大粒径ポリシリコン膜  
 6 ps 小粒径ポリシリコン膜  
 1 1  $n^+$  型ソース/ドレイン領域  
 G<sub>1</sub> ゲート電極

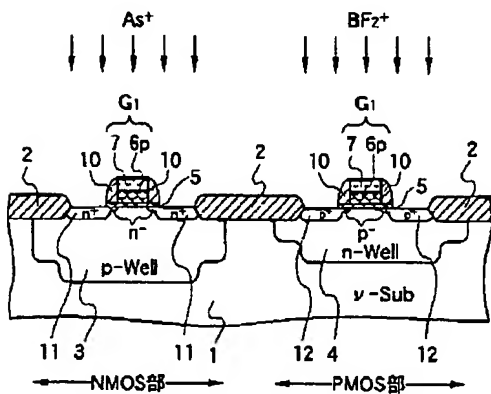
【図1】



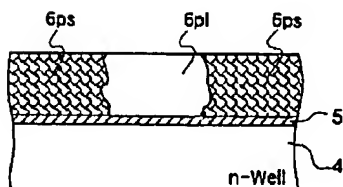
【図3】



【図5】



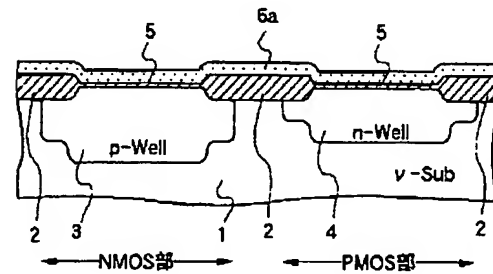
【図11】



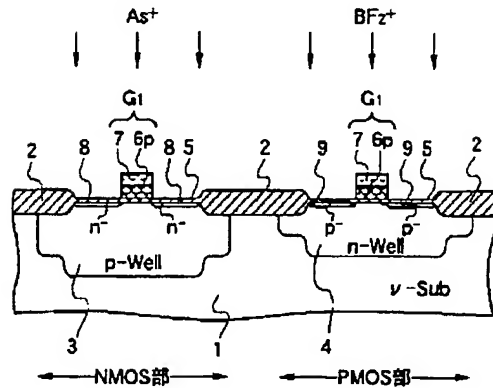
12

G<sub>2</sub> (巨大粒径ポリシリコン膜により構成される) ゲート電極  
 1 2 ソース/ドレイ領域  
 1 3 レジスト・パターン  
 1 4 核

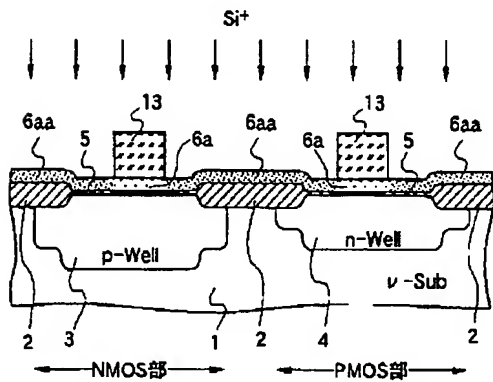
【図2】



【図4】

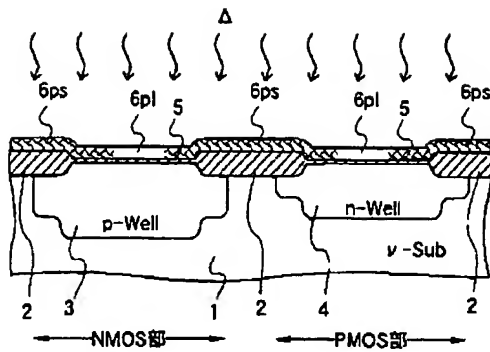


【図6】

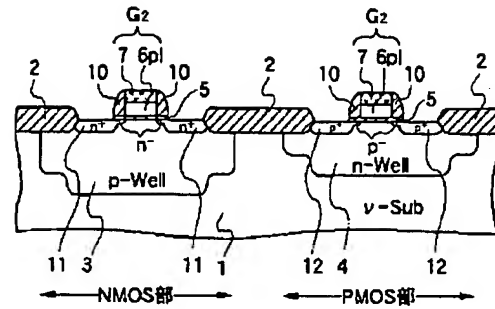




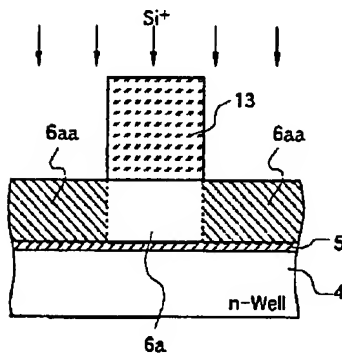
【図7】



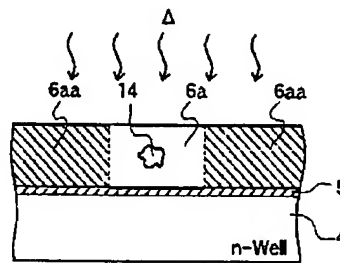
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/336

識別記号 庁内整理番号

F I  
H01L 29/78

技術表示箇所

301P